

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 58-176937

(43)Date of publication of application : 17.10.1983

(51)Int.Cl.

H01L 21/30

(21)Application number : 57-059248

(71)Applicant : FUJITSU LTD

(22)Date of filing : 09.04.1982

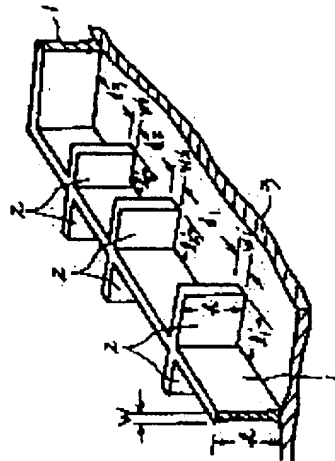
(72)Inventor : SAKURAI JUNJI

(54) FINE PATTERN

(57)Abstract:

PURPOSE: To prevent the fall of a fine pattern by a method wherein supporting patterns which are constituted of the same pattern material layers and not related to the original functions of pattern are projection-formed on the side surfaces including the end parts of the main pattern having the original functions of the pattern.

CONSTITUTION: The supporting patterns 2 which have conduction function original to wiring and are projection-formed in a branch form on the both side surfaces of the main pattern 1 of a wiring having a long straight line part and thus have the function of supporting the main pattern 1 not to fall are arranged. The supporting patterns 2 are formed to lengths $l_1'Wl_3'$ and widths $W_1'WW_3'$ not to influence the adjacent patterns at desired intervals d_1Wd_3 not to influence the adjacent wiring patterns, and formed of the wiring material layers equal to the main pattern 1, therefore heights h thereof are made equal to each other.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭58—176937

⑫ Int. Cl.³

識別記号

庁内整理番号

⑬ 公開 昭和58年(1983)10月17日

H 01 L 21/30

6603—5F

発明の数 1

審査請求 未請求

(全 3 頁)

⑭ 微細パターン

川崎市中原区上小田中1015番地

富士通株式会社内

⑮ 特 願 昭57—59248

⑯ 出 願 人 富士通株式会社

⑰ 出 願 昭57(1982)4月9日

川崎市中原区上小田中1015番地

⑱ 発 明 者 桜井潤治

⑲ 代 理 人 弁理士 松岡宏四郎

明 細 書

1. 発明の名称

微細パターン

2. 特許請求の範囲

パターン本来の機能を持つ本体パターンの端部を含む面に、本体パターンと同一のパターン材料層からなり、パターン本来の機能に無関係な支持パターンが突出形成されてなることを特徴とする微細パターン。

3. 発明の詳細な説明

(a) 発明の技術分野

本発明は微細パターンの構造に係り、特に高さに比べて幅が著しく狭い壁状を有し、且つ直線部の長い微細パターンの構造に関する。

(b) 技術的背景

近年、電子ビーム露光技術、X線露光技術、エッチング技術等の進歩に伴って、図1図に示すような幅幅0.1〔μm〕、高さ(h)〔μm〕程度の壁状を有する微細パターンの形成が可能になって来た。

このような微細パターンを適用することは、VLSI

等高集積度の半導体ICを形成するうえに極めて有利であり、各方面でその努力が払われている。

(c) 従来技術と問題点

従来の微細パターンは、一般に本来の機能を持つ部分のみで形成されていた。即ち例えば、配線パターンに於ては所望の機能領域間を電気的に接続する機能を持つ部分のみで形成され、レジストパターンに於ては、マスク機能を持つ部分のみで形成される等である。

然し、例えば比較的比抵抗の高い多結晶シリコン等からなる配線パターン等に於ては、上記のように幅幅が0.1〔μm〕程度の微細パターンの場合は、配線抵抗が大きくなるのを避けるために、その高さを1〔μm〕程度にする必要が生じて来る。又このような微細配線パターンを形成する際の選択エッチングは、通常リアクティブ・イオンエッチング等のドライエッチング法で行われるので、エッチング・マスクとして用いるレジスト・パターンも最低1〔μm〕程度の高さが必要になる。

このように高さ(h)に比べて幅幅が著しく狭く、

しかも本発明の構成部分のみで形成される従来の製造の微細パターンに於ては、特にその直線部分の長さが長くなると、製造工程中に付加される値がな外力によって該微細パターンの倒れを生じ、VLSI等の製造歩留まりが低下するという問題があった。

(d) 発明の目的

本発明の目的は、倒れを防止す構造を具備した微細パターンを提供し、上記問題点を除去することにある。

(e) 発明の構成

即ち本発明は、微細パターンに於て、パターン本来の機能を持つ本体パターンの端部を含む側面に、本体パターンと同一のパターン材料層からなり、パターン本来の機能に無関係な支持パターンが突出形成されてなることを特徴とする。

(f) 発明の実施例

以下本発明を実施例について、図を用いて詳細に説明する。

第2図は半導体IC等の配線パターンに於ける一実施例の側面斜視図で、第3図はMOS ICの

ゲート電極に於ける一実施例の側面上面図(f)及びA-A'矢視断面図(g)である。

半導体IC等に作り込まれる本発明の構造を持つアルミニウム(Al)、モリブデン(Mo)、モリブデン・シリサイド(MoSi)、多結晶シリコン等の微細配線パターンは、例えば第2図に示すように、配線本来の通電機能を有し、且つ長い直線部分を有する配線の本体パターンの両側面に枝状に突出形成され、本体パターン1を倒れないように支える機能を持つ支持パターン2が配設されてなっている。なお同図に於て、3は二酸化シリコン(SiO₂)、りん珪酸ガラス(PSG)等の絶縁膜である。

そして本体パターン1の幅が0.1(μm)程度高さhが1(μm)程度の時、支持パターン2は例えば5~10(μm)程度の、隣接配線パターン等に影響を与えない所望の間隔d₁、d₂、d₃を置いて、隣接パターンに影響を及ぼさない長さL₁'、L₂'、L₃'及び幅W₁'、W₂'、W₃'に形成される。従ってd₁、d₂、d₃、L₁'、L₂'、L₃'、W₁'、

W₂'、W₃'はそれぞれ等しい場合もある。

なお支持パターン2と本体パターン1は、同時に、同一の配線材料層から形成されるので、その高さhは等しくなる。

第3図(f)及び(g)は、本発明の構造を有する多結晶シリコン・ゲート電極が配設されたMOS ICに於ける側面上面及びA-A'矢視断面を示したものである。

高集積度のMOS ICに於ては、ソース領域S及びドレイン領域Dが形成されている一つのトランジスタ領域の幅W_{TR}が例えば6~10(μm)程度に形成され、フィールド酸化膜等の絶縁膜3に覆われた分離領域I_{so}の幅W_{Iso}は例えば2~3(μm)程度に形成される。

従って図のように複数のトランジスタに共通したゲート電極Gを設ける場合その長さL_Gは極めて長くなる。そしてこれらトランジスタのゲート長即ちゲート電極の幅W_Gが0.1(μm)程度で、しかも該ゲート電極Gが比較的抵抗の高い多結晶シリコン等で形成される際には、ゲート電極Gの

負荷抵抗を減少せしめるために前述したようにその高さh_Gを1(μm)程度とする必要が生じ、該ゲート電極Gは幅W_Gが高さh_Gに対して著しく狭く、且つ長さL_Gの長い壁状パターンとなる。

このような場合本発明に於ては、例えばゲート電極Gの両側面に6~10(μm)置き、即ち各分離領域I_{so}上に位置するように、分離領域I_{so}の幅W_{Iso}よりも狭い幅W'を有し、隣接するソース配線L_s、ドレイン配線L_d等と所望の間隔が保てるような長さL'を有する支持パターン2を形成し、ゲート電極Gの倒れを防止する。

なお該実施例に於ては、ゲート電極Gの両側面の支持パターン2'は配線ベッド領域をかねて、広い幅W''に形成している。

又ゲート電極Gと支持パターン2及び2'は、同一の多結晶シリコン層から同一パターンニング工程で同時に形成される。

上記実施例に於ては、本発明を半導体IC等に作り込まれるパターンについて説明したが、本発明は上記以外に、幅1(μm)程度の微細パターン

形成する際のエッチング・マスクとして用いるレジスト・パターンにも適用され、その倒れが防止される。

更に又上記実施例に於ては主パターンの両側面に支持パターンを設けたが、該支持パターンは主パターンの一方の側面に設けても良い。

(四) 発明の効果

以上説明したように、本発明によれば高さに比べて幅が著しく狭い壁状の微細パターンの倒れが防止される。

従って本発明はVLSI等高集積度の半導体IC等を製造する際の歩留まり向上に有効である。

4. 図面の説明

第1図は従来の微細パターンの斜視図、第2図は本発明の一実施例に於ける斜視図、第3図は本発明の他の一実施例に於ける要部上面図(イ)及びA-A'矢視断面図(ロ)である。

図に於て、1は本体パターン、2、2'は支持パターン、3は絶縁膜、Wは本体パターンの幅、 d_1 、 d_2 、 d_3 は支持パターン間隔、 W' 、 W_1' 、

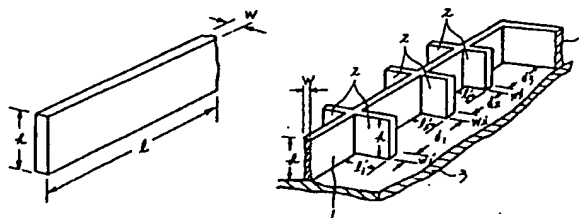
W_2' 、 W_3' は支持パターンの幅、 l_1' 、 l_2' 、 l_3' は支持パターンの長さ、Sはソース領域、Dはドレイン領域、Gはゲート電極、 I_{so} は分離領域、 W_G はゲート電極の幅、 W_{iso} は分離領域の幅、 h_0 はゲート電極の高さ、 l_0 はゲート電極の長さ、 L_D はドレイン配線、 L_s はソース配線を示す。

代理人 弁理士 松岡 実四郎

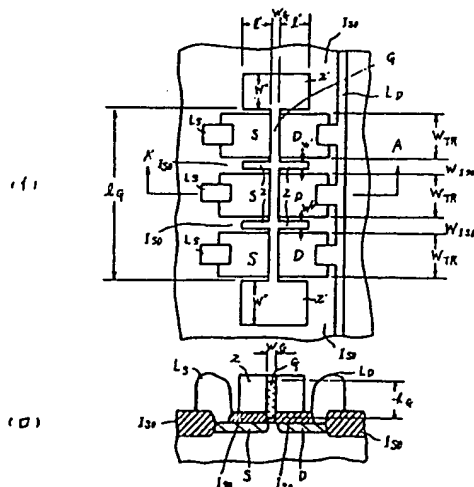


第1図

第2図



第3図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.